

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-007150

(43)Date of publication of application : 14.01.1987

(51)Int.Cl.

H01L 27/10
G11C 11/34

(21)Application number : 60-144574

(71)Applicant : AGENCY OF IND SCIENCE &
TECHNOL

(22)Date of filing : 03.07.1985

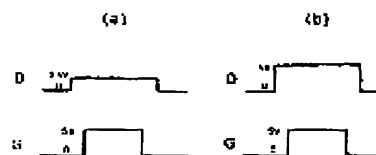
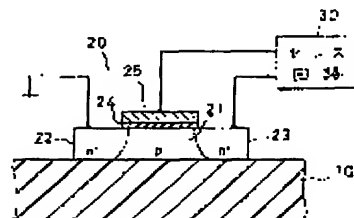
(72)Inventor : IKEDA HIROSHI
KATO KOICHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide memory function in an MOS transistor itself by controlling the amplitude of a voltage applied to the gate and drain of an MOS transistor formed on an insulator.

CONSTITUTION: A sensing circuit 30 writes, erases and reads out information to control the amplitude and timing of a voltage applied to a gate 25 and a drain 23. The circuit 30 applies a voltage of the degree not generating an impact ionization to the drain 23 at writing time, applies a voltage of threshold value or higher to the gate 25, and then abruptly set the gate voltage to zero. It applies a voltage of the degree for generating impact ions to the drain 23 at erasing time, applies a voltage of threshold value of higher to the gate 25, and then abruptly sets the gate voltage to zero. It applies a gate voltage of threshold value or higher in the state that a voltage of the degree not generating an impact ionization is applied to the drain 23 at writing time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-7150

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)1月14日

H 01 L 27/10
G 11 C 11/34

6655-5F

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭60-144574

⑰ 出 願 昭60(1985)7月3日

⑱ 発 明 者 池 田 博 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑱ 発 明 者 加 藤 弘 一 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑲ 出 願 人 工 業 技 術 院 長

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 電気的に導遊している一導電型の半導体層の両端に該半導体層と逆導電型の不純物層からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁膜を介してゲート電極を形成してなるMOSトランジスタと、前記ゲート電極の電位を変化させることにより前記半導体層の電位を変化せしめ、多数キャリアの閉鎖により情報の蓄込みを行う蓄込み手段と、前記半導体層内の多数キャリアの量を定常状態に戻す擦去手段と、チャンネル電位を流した時に前記半導体層中の多数キャリア数の大小によるチャンネルコンダクタンスの大小を検出することによって情報を読出す読出し手段とを具備してなることを特徴とする半導体記憶装置。

(2) 前記蓄込み手段は、ドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲ

ート電圧をしきい値以上の電圧から急激に零にすることである特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記擦去手段は、ドレインにインパクトイオン化の生じる程度の電圧を印加しておき、ゲート電圧をしきい値以上の電圧から急激に零にすることである特許請求の範囲第1項記載の半導体記憶装置。

(4) 前記読出し手段は、ドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲートにしきい値以上の電圧を印加することである特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体記憶装置に係わり、特に絶縁体上の半導体層中に形成されるMOSトランジスタを用いた半導体記憶装置に関する。

(発明の技術的背景とその問題点)

従来、情報の蓄込み可能な半導体記憶素子としては、

特開昭62-7150.(2)

FAMOS (Floating Gate Avalanche Injection- MOS)、SAMOS (Stacked Gate Avalanche Injection MOS)、MNOS (Metal Nitride Oxide Semiconductor) 等が既知されている。

しかしながら、この種の半導体記憶素子にあっては次のような問題があった。即ち、ゲート電極を絶縁膜の中に封じ込める構造であったり、ゲート電極下の絶縁膜を多層構造としたり、或いは2重電極構造を用いる必要があるため、構成が複雑であり、通常のMOSFETに比べてその製作が非常に面倒である。また、情報の書き込み時に高いゲート電圧を必要とし、そのための回路が必要であったり、高電圧のトランジスタを使用する必要があり、製造コストが増大する等の問題があった。

(発明の目的)

本発明は上記事情を考慮してなされたもので、その目的とするところは、絶縁体上に形成されるMOSTランジスタを利用して、簡単な構造で書き換え可能な半導体記憶装置を提供することにある。

出す読み出し手段とを設けるようにしたものである。

(発明の効果)

本発明によれば、1個のMOSTランジスタで1個の記憶素子を実現することができる。このため、構造が簡単となり、従来装置よりも安価に製造することができる。さらに、高い電圧を必要とせず、そのための回路対策及び素子対策も不要となり、このことから製造コストの低減化に有効である。

(発明の実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図である。絶縁体10上に形成されたP型シリコン層(浮遊基板)21にN型不純物をドーピングしてソース・ドレイン領域22、23を形成し、さらにゲート酸化膜24を介してゲート電極25を形成してなるMOSTランジスタ20が構成されている。ここで、シリコン層21は、SiO₂膜等の絶縁体10上に多結

(発明の概要)

本発明の素子は、1個のMOSTランジスタで1個の記憶素子を実現することにより、絶縁体上に形成されるMOSTランジスタのゲート及びドレインに印加する電圧の大きさを制御することにより、MOSTランジスタ自体に記憶機能を持たせることにある。

即ち本発明は、情報の書き込み及び読み出しを行う半導体記憶装置において、電気的に浮遊している一導電型の半導体層の両端に該半導体層と逆導電型の不純物層からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁膜を介してゲート電極を形成してなるMOSTランジスタと、前記ゲート電極の電位を変化させることにより前記半導体層の電位を変化せしめ、多数キャリアの消滅により情報の書き込みを行う書き込み手段と、前記半導体層内の多数キャリアの量を定常状態に戻す消去手段と、チャンネルに電流を流した時に前記半導体層中の多数キャリア数の大小によるチャンネルコンダクタンスの大小を検出することによって情報を読

出する読み出し手段とを設けるようにしたものである。

第2図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図である。絶縁体10上に形成されたP型シリコン層(浮遊基板)21にN型不純物をドーピングしてソース・ドレイン領域22、23を形成し、さらにゲート酸化膜24を介してゲート電極25を形成してなるMOSTランジスタ20が構成されている。ここで、シリコン層21は、SiO₂膜等の絶縁体10上に多結

晶や非晶質のシリコン層を堆積した後に、ビームアニールによって該層を単結晶化して形成されたものである。そして、このシリコン層21は、浮遊状態となっている。

特開昭62-7150 (S)

印加した後、このゲート電圧を急激に零にする。また、読み込み時には、ドレイン23にインパクトイオン化の生じない程度の電圧を印加した状態でしきい値以上のゲート電圧を印加するものとなっている。

なお、上記のMOSトランジスタ20は通常の半導体メモリ素子と同様に、マトリックス状に配列し、ゲート及びドレインをそれぞれワード線及びビット線に接続することにより、記憶回路として機能するものとなっている。

次に、上記構成された半導体記憶装置の作用について説明する。

まず、情報を書き込む場合は、ソース22を接地し、ドレイン23にインパクトイオン化の生じない程度の低い正電圧（例えば0.5V）を加えた後、ゲート電極25にしきい値電圧以上の正の電圧（例えば5V）を加えて浮遊基板21の電極膜24下にチャンネルを作り、その後急激にゲート電圧をしきい値以下に低下させる。このようにゲート電圧を急激に低下させると、チャンネル内の電子

がソース・ドレインに吸収されることになり、チャンネル・絶縁膜と絶縁膜のため、浮遊基板21の電位が下がる。すると、ソース・ドレインより供給される電子と浮遊基板21内の正孔とが、熱的に対消滅を起し、浮遊基板21内の正孔濃度が過くなり、ソース22に対して浮遊基板21が急激に負にバイアスされたまま保持される。この状態は、MOSトランジスタ20にバックバイアス加わった状態で、負にバイアスされるとしきい値電圧が上がり、ドレイン電流を抑制すると、浮遊基板21がソース22と同電位のとき、即ち半導体記憶素子（MOSトランジスタ20）に情報が書き込まれていないときに比べて少ない電流しか流れない。

半導体記憶素子に記憶された情報を消去させる場合は、光を照射して浮遊基板21内に電子・正孔対を生成させ、浮遊基板21内の正孔の数を元に戻すか、或いはドレイン23にインパクトイオン化を起す程度の電圧（例えば5V）を加え、その後ゲート電圧を加えて急激にしきい値以下に

すると、インパクトイオン化のための正孔が浮遊基板21に多く溜まる。

半導体記憶素子に書き込まれた情報を読出す場合は、ドレイン23をビット線に接続し、ビット線は予めある電圧（例えば2.5V）に充電しておく。その後、ゲート電極25の電圧をしきい値電圧以上に上げると、ドレイン電流が流れる。この時、ビット線の電位はインパクトイオン化が生じない程度の電位に充電されているので、次にゲート電極25をしきい値電圧以下にして読み出しが終わると、浮遊基板21は負にバイアスされたまま情報が残る。浮遊基板21がバイアスされていない時は、ゲート電極25の電位を上げると電子が浮遊基板21内に流れ、正孔が下に押し下げられ、浮遊基板電位が上がり、しきい値電圧が下がって多いドレイン電流が流れる。この時には、ビット線をセンスして、インパクトイオン化が起こる程度の電位にする。そうすると、浮遊基板21はゲート電極25の電位を再びしきい値より下げ読み出しを終了すると、正孔が多数残り情報が保持され

る。

かくして本実施例によれば、MOSトランジスタ20に記憶素子の機能を果たせることができる。即ち1個のMOSトランジスタから1個のメモリ素子を実現することができる。しかも、MOSトランジスタ20の構造は通常のトランジスタ構造と同様でよく、また高い電圧を用いる必要もないので、その製造が容易であり、製造コストの大幅な低減化をはかり得る。

なお、本発明は上述した実施例に限定されるものではない。例えば、上記MOSトランジスタはN型に限るものではなく、P型であってもよい。さらに、シリコン膜はSiO₂等の非晶質絶縁体上に形成されたもの（SOI）ではなく、サブファイア等の単結晶絶縁体上に形成されたもの（SOS）であってもよい。また、MOSトランジスタのゲート及びドレイン等に印加するバイアス条件等は、使用するMOSトランジスタの特性に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施する

特開昭62-7150 (4)

ことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例にある半導体記憶装置を示す概略図、第2図(a)(b)は上記装置に用いたセンス回路の作用を説明するためのものでドレイン及びゲートに印加する電圧を示す信号波形図である。

10…絶縁体、20…N型MOSトランジスタ、
21…P型シリコン層（浮遊基板）、22…ソース、
23…ドレイン、24…ゲート酸化膜、
25…ゲート電極、30…センス回路。

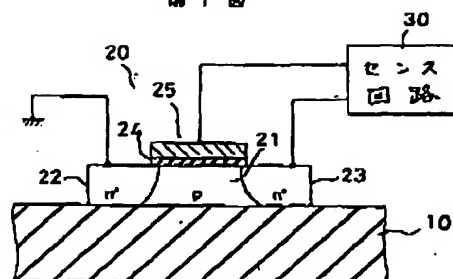


図2 例

(a)

(b)

出願人 工業技術院長 宮々力 満

